



**Universidade Federal de Uberlândia
Engenharia Eletrônica e de Telecomunicações**

– Capítulo 4 –

Circuitos Lógicos Combinacionais

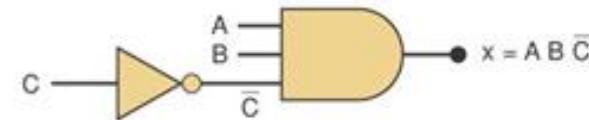
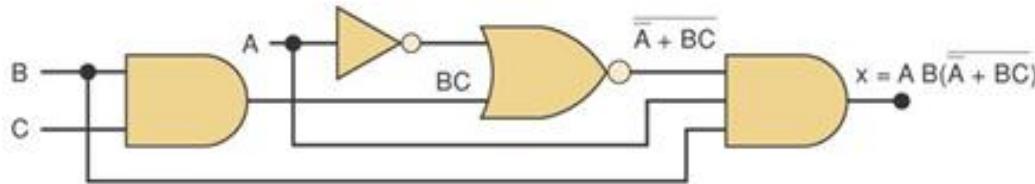
Prof. Alan Petrônio Pinheiro

Conteúdo

- Simplificação de circuitos lógicos algebricamente
- *Projeto* circuitos lógicos combinacionais
- Mapas de Karnaugh
- Portas OR-exclusiva e NOR-exclusiva
- Características básicas de CI's digitais

Introdução

- Circuitos lógicos ***combinacionais***
 - Saída do circuito depende da combinação na entrada
 - Não possui memória
- Representação algébrica como SOMA DE PRODUTOS
- Simplificação de circuitos lógicos
 - Algébrica x mapa Karnaugh



Simplificação algébrica de circuitos lógicos

- Tentativa e erro
- Experiência do projetista
- Nem sempre simplifica circuito
- Passos empregados:
 - Expressão original -> soma-de-produtos
 - soma-de-produtos -> fatoração

- **Exemplos:**

1) Simplifique as expressões:

(a) - $\overline{RST}(\overline{R} + \overline{S} + \overline{T})$

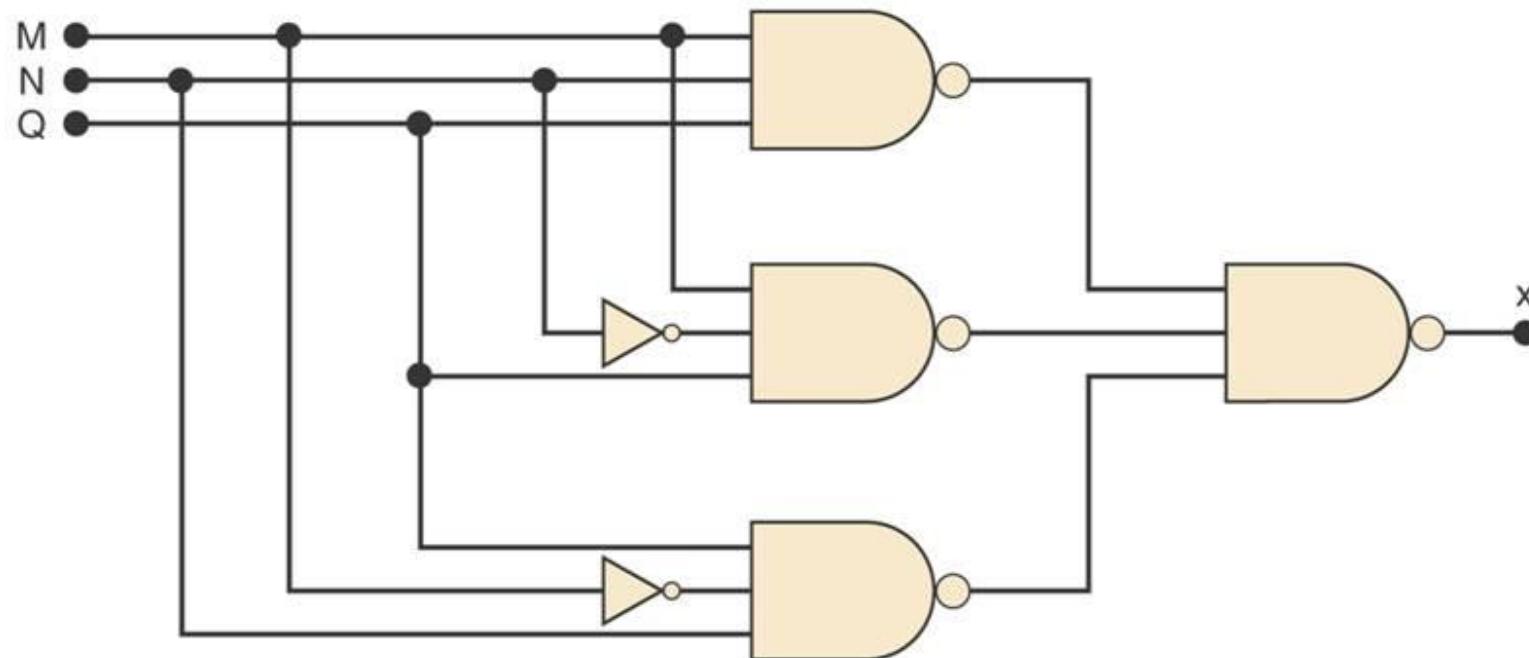
(b) - $\overline{A}\overline{B}\overline{C} + \overline{A}BC + ABC + A\overline{B}\overline{C} + A\overline{B}C$

(c) - $(B + \overline{C})(\overline{B} + C) + \overline{\overline{A} + B + \overline{C}}$

2) Desenho o circuito dado pela expressão e se possível, tente simplificá-lo.

$$S = \overline{AB} + \overline{C}$$

3) Simplifique o circuito abaixo:

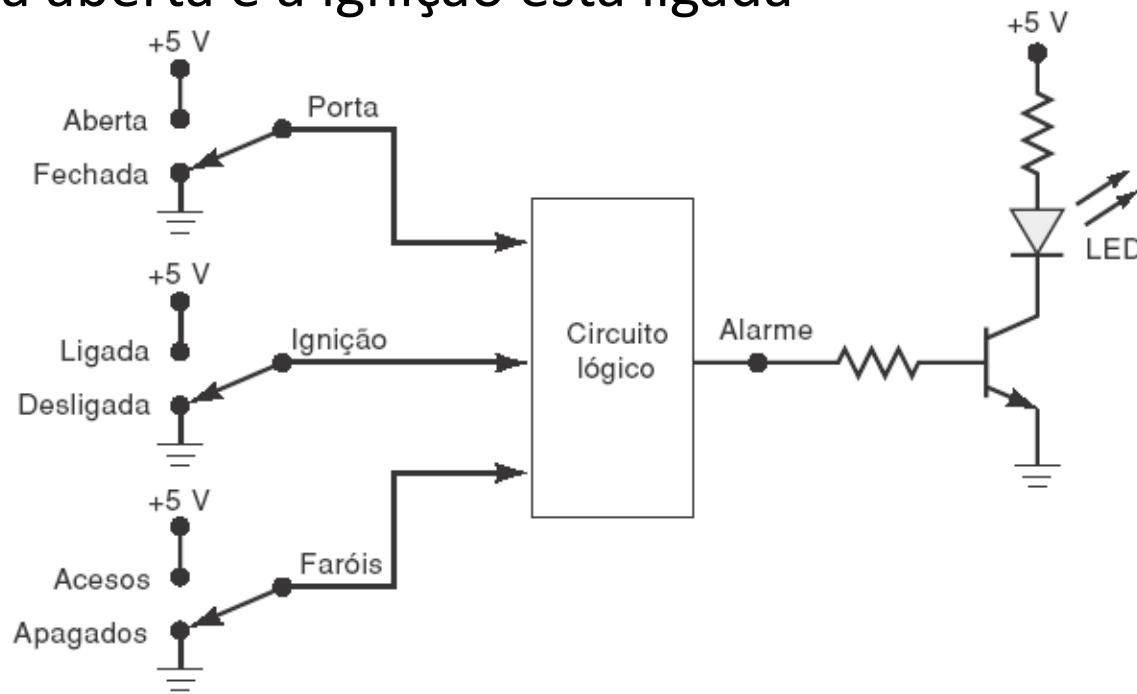


Projeto circuitos combinacionais

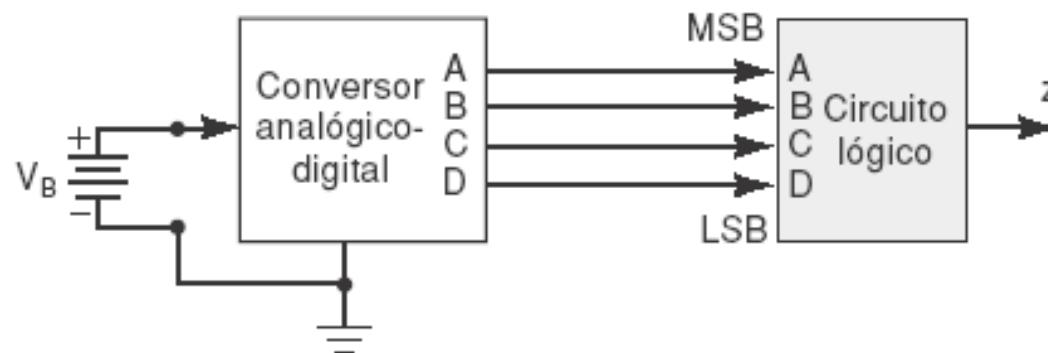
- Expressão booleana a partir da tabela-verdade
- Procedimento:
 - 1) Interpretar o problema e construir tabela-verdade
 - 2) Escrever o termo AND para cada caso onde a saída é 1
 - 3) Escrever a expressão da soma-de-produtos para a saída
 - 4) Simplificar a expressão algébrica, se possível
 - 5) Implementar o circuito da expressão simplificada

Exemplo: A Figura abaixo mostra um circuito de alarme de automóvel usado para detectar uma determinada condição indesejada. As três chaves são usadas para indicar, respectivamente, o estado da porta do motorista, o da ignição e ao estado dos faróis. Projete um circuito lógico com essas três chaves como entrada, de forma que o alarme seja ativado quando:

- Os faróis estão acessos e a ignição está desligada
- A porta está aberta e a ignição está ligada



- Exemplo: Um conversor AD está monitorando o nível de tensão DC de uma bateria de 12V. A saída do conversor é um número binário de 4 bits. As saídas do AD são as entradas de um circuito que gerará uma saída em nível alto sempre que a tensão da bateria for maior do que 75% de sua tensão nominal. Projete este circuito lógico.



- Exemplo: Projete um circuito lógico para implementar a tabela-verdade mostrada abaixo

A	B	C	S1
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

• Mintermos e Maxtermos

A	B	S	S'	Mintermo	Maxtermo
0	0	1	0	$m1 := \overline{A} \cdot \overline{B}$	$M1 := A + B$
0	1	0	1	$m2 := \overline{A} \cdot B$	$M2 := A + \overline{B}$
1	0	1	0	$m3 := A \cdot \overline{B}$	$M3 := \overline{A} + B$
1	1	0	1	$m4 := A \cdot B$	$M4 := \overline{A} + \overline{B}$

$$S = \overline{A} \cdot \overline{B} + A \cdot \overline{B} = m1 + m3$$

$$\overline{S} = m2 + m4$$

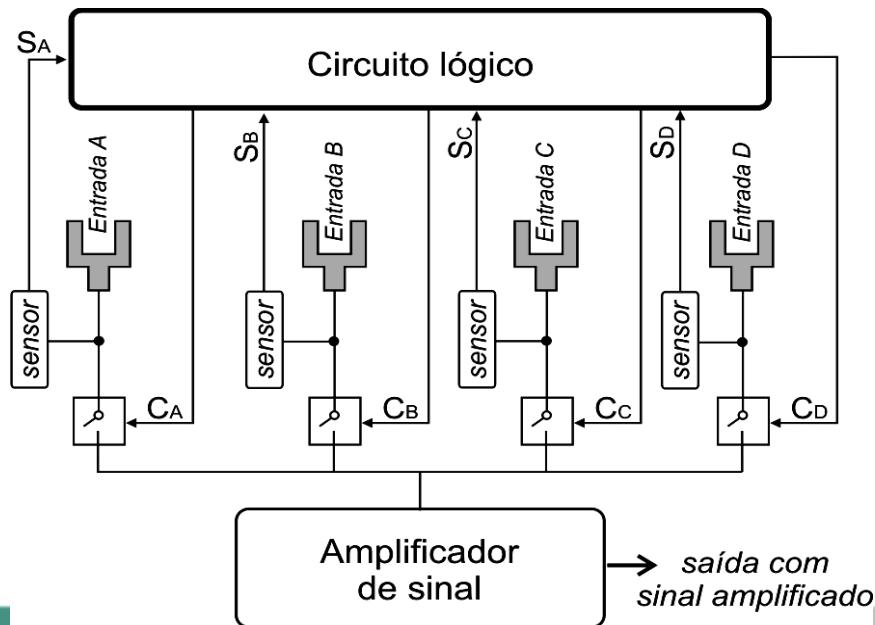
$$\overline{\overline{S}} = \overline{m2 + m4} = \overline{m2} \cdot \overline{m4} = M2 \cdot M4$$

$$S = (A + \overline{B}) \cdot (\overline{A} + \overline{B})$$

- Tabela:

a	b	c	Minterms	Maxterms
0	0	0	$(\bar{a} \ \& \ \bar{b} \ \& \ \bar{c})$	$(a \ \ b \ \ c)$
0	0	1	$(\bar{a} \ \& \ \bar{b} \ \& \ c)$	$(a \ \ b \ \ \bar{c})$
0	1	0	$(\bar{a} \ \& \ b \ \& \ \bar{c})$	$(a \ \ \bar{b} \ \ c)$
0	1	1	$(\bar{a} \ \& \ b \ \& \ c)$	$(a \ \ \bar{b} \ \ \bar{c})$
1	0	0	$(a \ \& \ \bar{b} \ \& \ \bar{c})$	$(\bar{a} \ \ b \ \ c)$
1	0	1	$(a \ \& \ \bar{b} \ \& \ c)$	$(\bar{a} \ \ b \ \ \bar{c})$
1	1	0	$(a \ \& \ b \ \& \ \bar{c})$	$(\bar{a} \ \ \bar{b} \ \ c)$
1	1	1	$(a \ \& \ b \ \& \ c)$	$(\bar{a} \ \ \bar{b} \ \ \bar{c})$

Exemplo: Um certo dispositivo possui 4 canais de entrada por onde deverão entrar sinais que serão amplificados a partir de um único circuito amplificador conforme ilustra a figura. Considerando que estes canais sejam nomeados por A, B, C e D, estabelece-se uma relação de prioridade entre eles onde A > B > C > D. Sensores S_A , S_B , S_C e S_D monitoram a presença de sinais nestes canais conforme diagrama. Na presença de um sinal no barramento, o sensor envia ao circuito um nível alto. A partir destas entradas enviadas, o circuito deve escolher qual das chaves C_A , C_B , C_C ou C_D acionar para ligar o canal ao circuito amplificador (o acionamento é feito enviando o nível lógico alto à chave escolhida). O circuito só pode amplificar um sinal de cada vez pois possui somente um amplificador. Projete um circuito que a partir das disposições dos sensores indicando a presença ou não de sinal nos canais, escolha qual chave que deve ser ligada ao amplificador.



Mapas de Karnaugh

- Método de mapeamento gráfico (alternativa tabela-verdade)
- Utilidade prática limitada
- Melhor simplificação possível
- Formato mapa Karnaugh (mapa K)
 - Cada linha tabela-verdade corresponde a 1 quadrado
 - Quadrados adjacentes difiram de apenas 1 variável

A	B	X
0	0	1 → $\bar{A}\bar{B}$
0	1	0
1	0	0
1	1	1 → AB

$$\left\{ X = \bar{A}\bar{B} + AB \right\}$$

	\bar{B}	B
\bar{A}	1	0
A	0	1

A	B	C	X
0	0	0	1 → $\bar{A}\bar{B}\bar{C}$
0	0	1	1 → $\bar{A}\bar{B}C$
0	1	0	1 → $\bar{A}B\bar{C}$
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1 → ABC
1	1	1	0

$$\left\{ X = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + ABC + A\bar{B}\bar{C} \right\}$$

	\bar{C}	C
$\bar{A}\bar{B}$	1	1
$\bar{A}B$	1	0
AB	1	0
A \bar{B}	0	0

A	B	C	D	X
0	0	0	0	0
0	0	0	1	1 → $\bar{A}\bar{B}\bar{C}\bar{D}$
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1 → $\bar{A}\bar{B}\bar{C}D$
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1 → $AB\bar{C}D$
1	1	1	0	0
1	1	1	1	1 → $ABCD$

$$\left\{ X = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + AB\bar{C}D + ABCD \right\}$$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$\bar{C}D$
$\bar{A}\bar{B}$	0	1	0	0
$\bar{A}B$	0	1	0	0
AB	0	1	1	0
A \bar{B}	0	0	0	0

• Agrupamentos

– Combinação adequada dos quadrados mapa K

– Agrupamento de dois quadros:

- Agrupando um par de 1s adjacentes, elimina-se a variável que aparece nas formas complementada e não-complementada

	\bar{C}	C
$\bar{A}\bar{B}$	0	0
$\bar{A}B$	1	0
AB	1	0
A \bar{B}	0	0

$$X = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} = B\bar{C}$$

	\bar{C}	C
$\bar{A}\bar{B}$	0	0
$\bar{A}B$	1	1
AB	0	0
A \bar{B}	0	0

$$X = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} = \bar{A}B$$

	\bar{C}	C
$\bar{A}\bar{B}$	1	0
$\bar{A}B$	0	0
AB	0	0
A \bar{B}	1	0

$$X = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} = \bar{B}\bar{C}$$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	C \bar{D}
$\bar{A}\bar{B}$	0	0	1	1
$\bar{A}B$	0	0	0	0
AB	0	0	0	0
A \bar{B}	1	0	0	1

$$X = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{D}$$

- Agrupamento de quatro quadros (quarteto)
 - Elimina-se 2 variáveis que aparecem nas formas complementada e não-complementada

	\bar{C}	C
$\bar{A}\bar{B}$	0	1
$\bar{A}B$	0	1
AB	0	1
$A\bar{B}$	0	1

$X = C$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	1	1	1	1
$A\bar{B}$	0	0	0	0

$X = AB$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	1	1	0
AB	1	1	1	0
$A\bar{B}$	0	0	0	0

$X = BD$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	1	0	0	1
$A\bar{B}$	1	0	0	1

$X = A\bar{D}$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	0	0	1
$\bar{A}B$	0	0	0	0
AB	0	0	0	0
$A\bar{B}$	1	0	0	1

$X = \bar{B}\bar{D}$

- Agrupamento de oito quadros (octeto)
 - Elimina-se 3 variáveis que aparecem nas formas complementada e não-complementada

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	1	1	1	1
$A\bar{B}$	1	1	1	1
$A\bar{B}$	0	0	0	0

$X = B$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	1	0	0
$\bar{A}B$	1	1	0	0
$A\bar{B}$	1	1	0	0
$A\bar{B}$	1	1	0	0

$X = \bar{C}$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	1	1	1
$\bar{A}B$	0	0	0	0
$A\bar{B}$	0	0	0	0
$A\bar{B}$	1	1	1	1

$X = \bar{B}$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	0	0	1
$\bar{A}B$	1	0	0	1
$A\bar{B}$	1	0	0	1
$A\bar{B}$	1	0	0	1

$X = \bar{D}$

- “Quando uma variável aparece nas formas complementada e não-complementada em um agrupamento, tal variável é eliminada da expressão. As variáveis que não se alteram para todos os quadros do agrupamento têm de permanecer na expressão final”
- Procedimento completo:
 - 1) Construir mapa K colocando 1s nos quadros que correspondem aos 1s da tabela-verdade. Nos demais coloque 0s
 - 2) Agrupe os 1s que NÃO sejam adjacentes a quaisquer outros 1s (1s isolados)
 - 3) Procure os 1s que são adjacentes a SOMENTE um outro 1. Agrupe o par
 - 4) Agrupe qualquer OCTETO mesmo que ele contenha alguns 1s que já tenham sido agrupados
 - 5) Agrupe qualquer QUARTETO que contenha pelo menos 1 que ainda não tenha sido agrupado certificando-se de usar o menor número de agrupamentos
 - 6) Agrupe quaisquer pares necessários para incluir quaisquer 1s que ainda não tenham sido agrupados sempre usando o menor número de agrupamentos
 - 7) Forme a some OR de todos os termos gerados para cada grupo

• Exemplos de agrupamentos

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 1	0 2	0 3	1 4
$\bar{A}B$	0 5	1 6	1 7	0 8
$A\bar{B}$	0 9	1 10	1 11	0 12
$A\bar{B}$	0 13	0 14	1 15	0 16

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 1	0 2	1 3	0 4
$\bar{A}B$	1 5	1 6	1 7	1 8
$A\bar{B}$	1 9	1 10	0 11	0 12
$A\bar{B}$	0 13	0 14	0 15	0 16

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 1	1 2	0 3	0 4
$\bar{A}B$	0 5	1 6	1 7	1 8
$A\bar{B}$	1 9	1 10	1 11	0 12
$A\bar{B}$	0 13	0 14	1 15	0 16

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 1	1 2	0 3	0 4
$\bar{A}B$	0 5	1 6	1 7	1 8
$A\bar{B}$	0 9	0 10	0 11	1 12
$A\bar{B}$	1 13	1 14	0 15	1 16

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 1	1 2	0 3	0 4
$\bar{A}B$	0 5	1 6	1 7	1 8
$A\bar{B}$	0 9	0 10	0 11	1 12
$A\bar{B}$	1 13	1 14	0 15	1 16

- Exercício 1: Determine a expressão mínima para os mapas k mostrados abaixo:

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	1	1	1
$\bar{A}B$	1	1	0	0
$A\bar{B}$	0	0	0	1
AB	0	0	1	1

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	0	1	1
$\bar{A}B$	1	0	0	1
$A\bar{B}$	0	0	0	0
AB	1	0	1	1

	\bar{C}	C
$\bar{A}\bar{B}$	1	1
$\bar{A}B$	0	0
$A\bar{B}$	1	0
AB	1	x

Exercício 3: Determine as expressões dos mapas K abaixo:

0	1	0	0
0	1	0	0
1	1	1	0
0	0	1	1

0	0	0	0
0	0	0	0
1	1	1	1
1	0	1	1

- Preenchendo o mapa K a partir da expressão de saída
 - 1) Passe a expressão para a forma de soma-de-produtos caso ela não esteja nesse formato
 - 2) Para cada termo produto da expressão na forma de soma-de-produtos, coloque um 1 em cada quadrado do mapa K cuja posição seja correspondente a combinação das variáveis da expressão. Coloque 0 nos demais

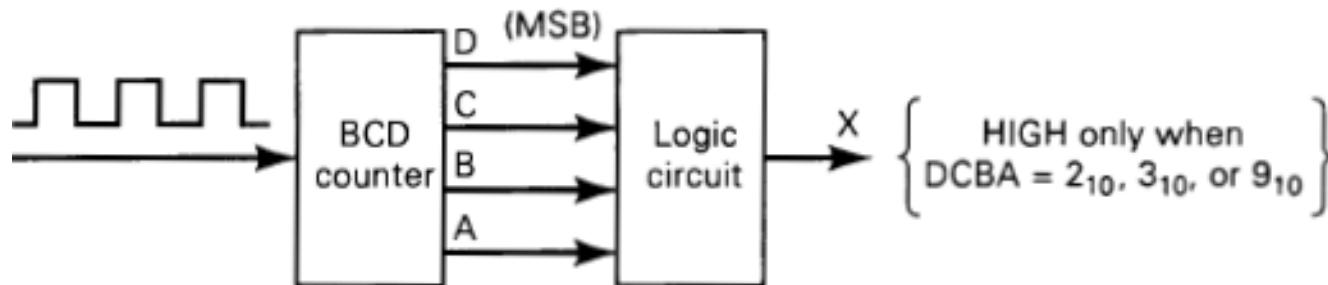
Exemplo: Simplifique a equação abaixo usando a técnica de Karnaugh

$$z = \overline{A}\overline{B}C + \overline{A}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}C$$

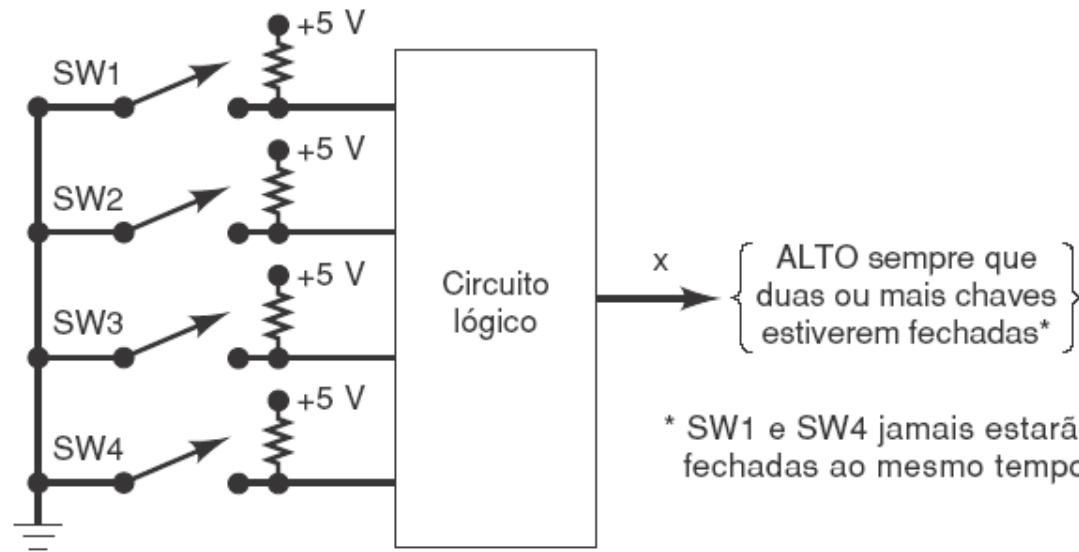
• Condições de irrelevância

- Em alguns casos, para certas condições de entrada não existem saídas possíveis ou são irrelevantes
- Condição de irrelevância representada por x
- Nas condições de irrelevância, o projetista pode assumir um valor para x em benefício do projeto.

• **Exemplo:** A figura abaixo mostra um contador BCD que gera uma saída de quatro bits representando o código BCD para o número de pulsos que é aplicado na entrada do contador. Por exemplo, após a ocorrência de quatro pulsos, as saídas do contador serão $DCBA=0100_2=4_{10}$. O contador para 000 no décimo pulso. Projete um circuito lógico que gere uma saída em nível alto sempre que o contador estiver nas contagens 2, 3 e 9.



- Exercício: A Figura abaixo mostra quatro chaves que fazem parte do circuito de controle em uma impressora. As chaves estão posicionadas em diversos pontos ao longo da trajetória do papel na impressora. Cada chave está no estado normalmente aberta e quando o papel passa sobre a chave, ela é fechada. É impossível o fechamento simultâneo SW1 e SW4. Projete um circuito que gere uma saída em nível alto sempre que duas ou mais chaves estiverem fechadas ao mesmo tempo



Exercício: Deseja-se construir um sistema de monitoramento para carros que, por meio de um alarme sonoro, alerte o motorista toda vez que o motor do seu veículo estiver trabalhando em regime “perigoso”, caracterizado por pressão do óleo insuficiente ou pela temperatura da água acima do valor estabelecido. Para tal controle, existem sensores que indicam a velocidade de rotação do motor, a pressão do óleo e a temperatura da água. Se o número de rotações do motor estiver acima de 2.000 rpm, a temperatura da água deverá estar abaixo de 800C. Porém, com o motor girando abaixo de 2.000 rpm, tolera-se uma temperatura de até 900C

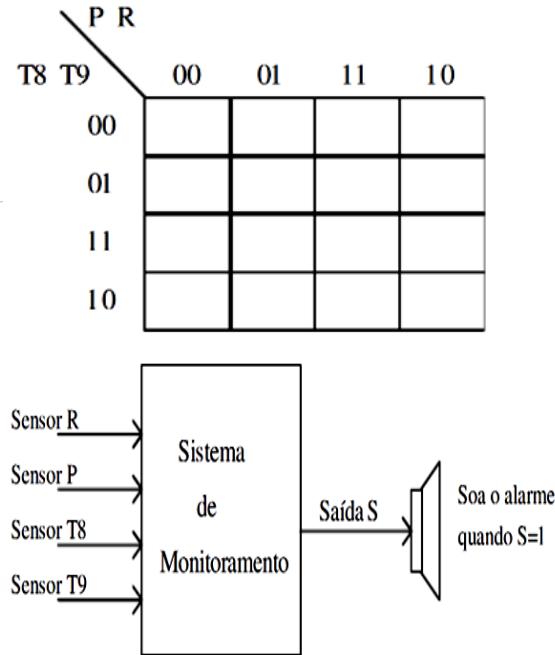
- Reproduza o mapa de Karnaugh na configuração mostrada na figura 1 e preencha-o adequadamente
- Escreva a expressão booleana minimizada da saída S no mapa K abaixo
- Desenhe o circuito, empregando portas lógicas.

Sensor R	Rotações do motor
0	Igual ou abaixo de 2.000 rpm
1	Acima de 2.000 rpm

Sensor T8	Temperatura da água
0	Igual ou abaixo de 80°C
1	Acima de 80°C

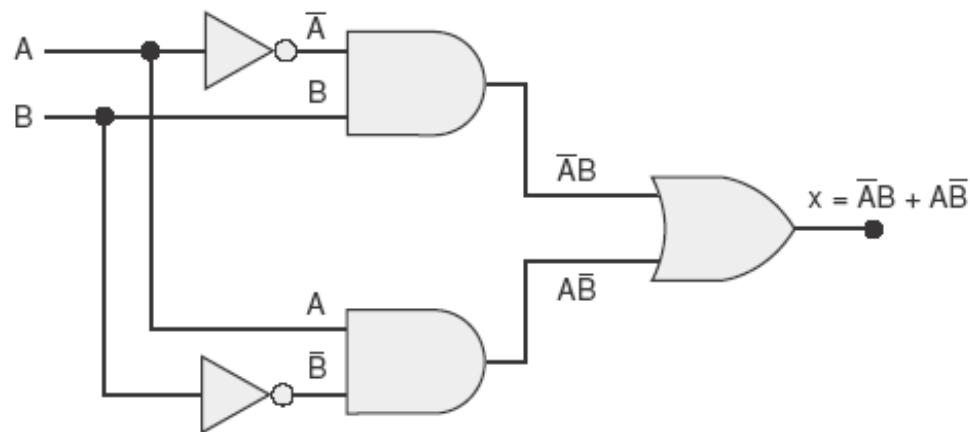
Sensor P	Pressão do óleo
0	Pressão correta
1	Pressão fora da especificação

Sensor T9	Temperatura da água
0	Igual ou abaixo de 90°C
1	Acima de 90°C



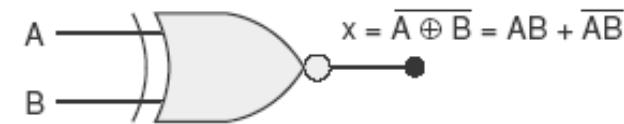
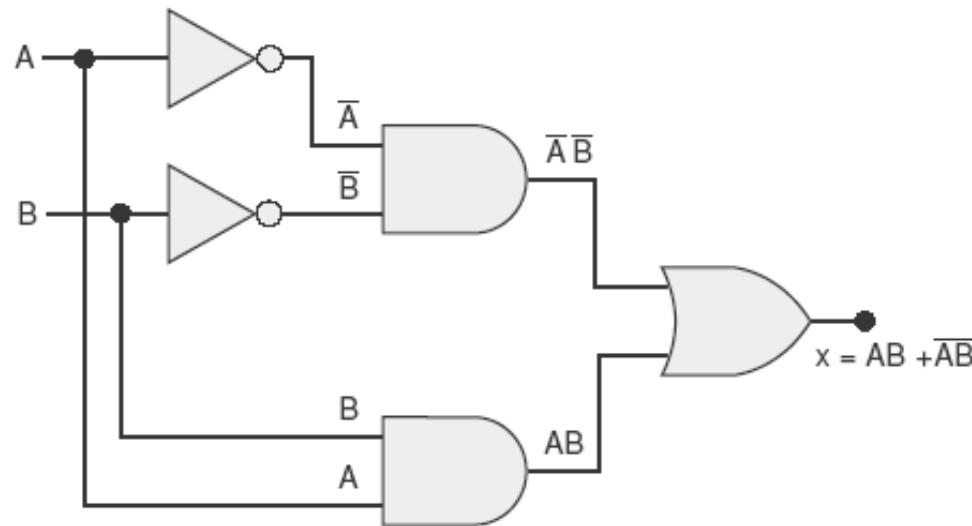
Portas OR-exclusivo e NOR-exclusiva

- Exclusive-OR (OU-Exclusivo) - **XOR**
 - Saída alta somente quando as duas entradas estiverem em níveis diferentes
 - Somente duas entradas



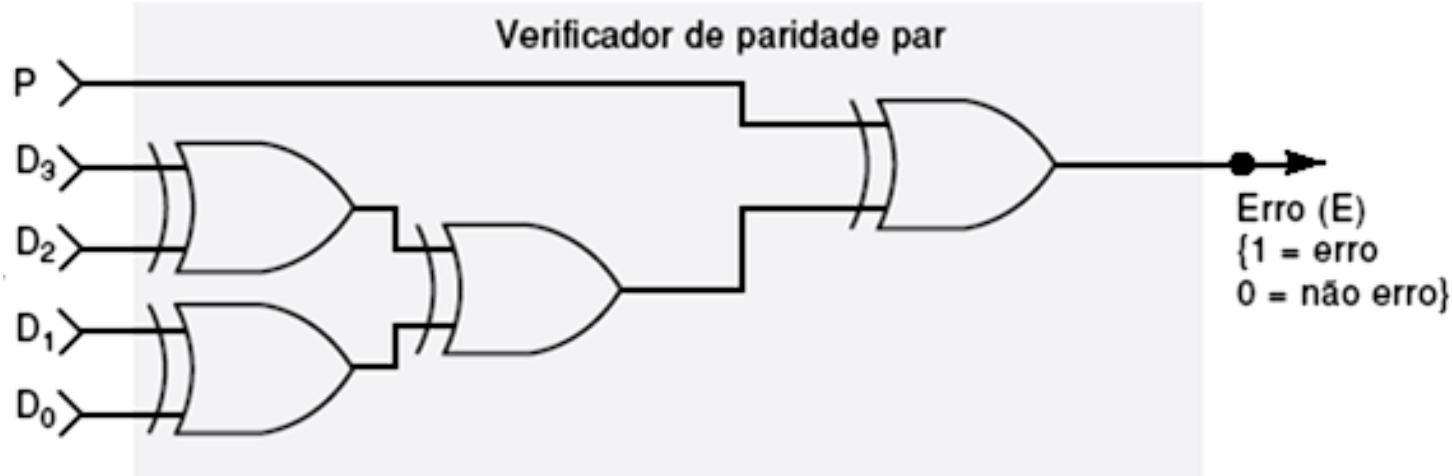
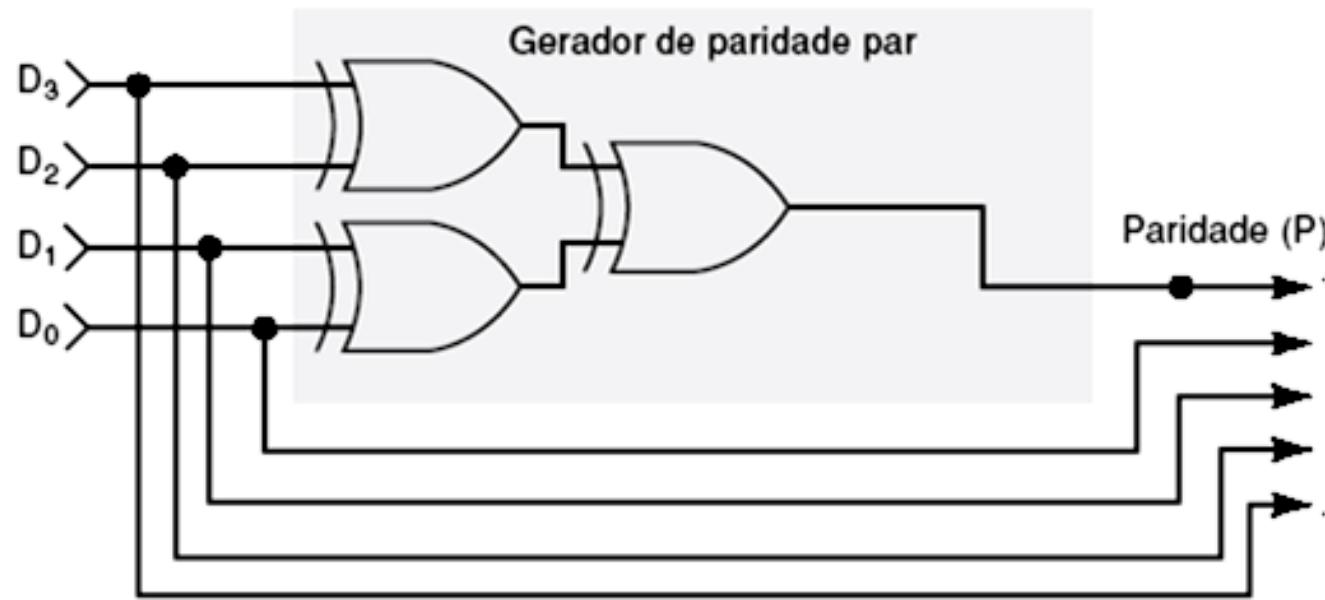
A	B	x
0	0	0
0	1	1
1	0	1
1	1	0

- Exclusive-NOR (NOU-Exclusivo) – XNOR
 - Gerará uma saída alta somente se as duas entradas estiverem no mesmo nível lógico



A	B	x
0	0	1
0	1	0
1	0	0
1	1	1

Exemplo: Circuito gerador e verificador de paridade



Exercício :

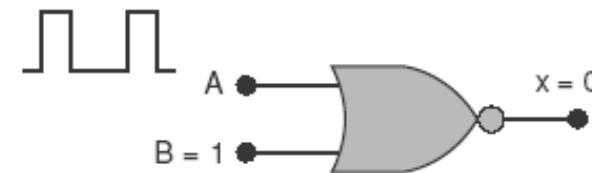
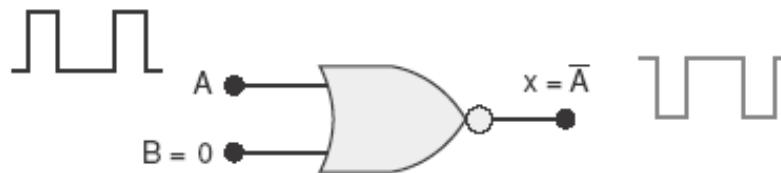
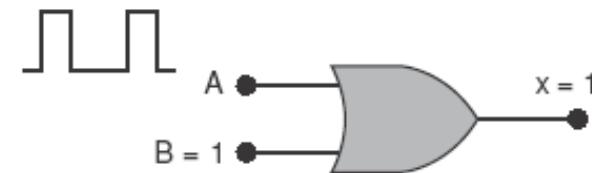
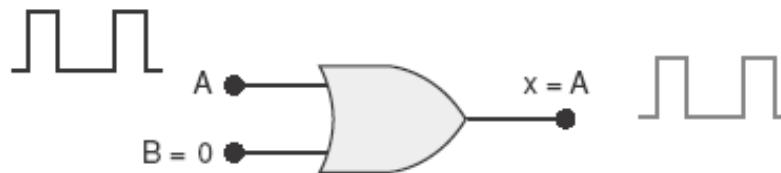
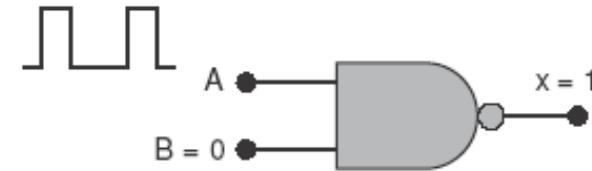
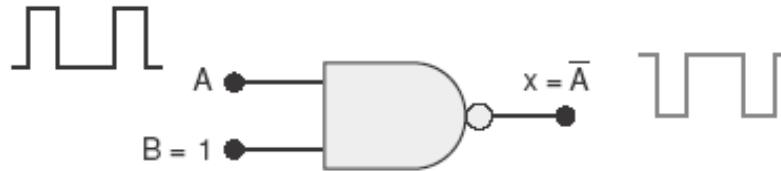
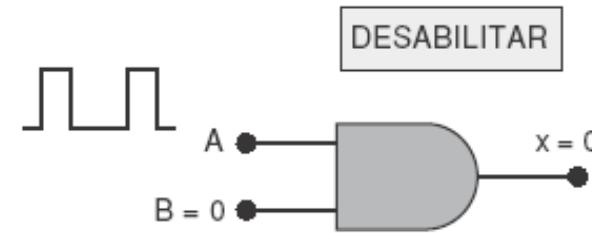
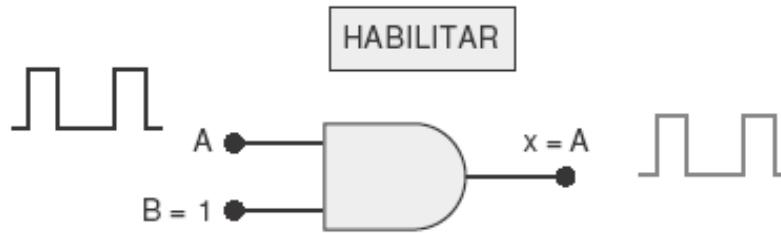
A Figura abaixo apresenta um detector de magnitude relativa que recebe dois números binários de três bits $x_2x_1x_0$ e $y_2y_1y_0$ e determina se eles são iguais e, se não forem, indica qual é o maior. Existem três saídas definidas como:

- a) $M=1$ apenas se os dois números de entrada forem iguais
- b) $N=1$ apenas se $x_2x_1x_0$ for maior que $y_2y_1y_0$
- c) $P=1$ apenas se $y_2y_1y_0$ for maior que $x_2x_1x_0$

Projete o circuito lógico para esse detector.

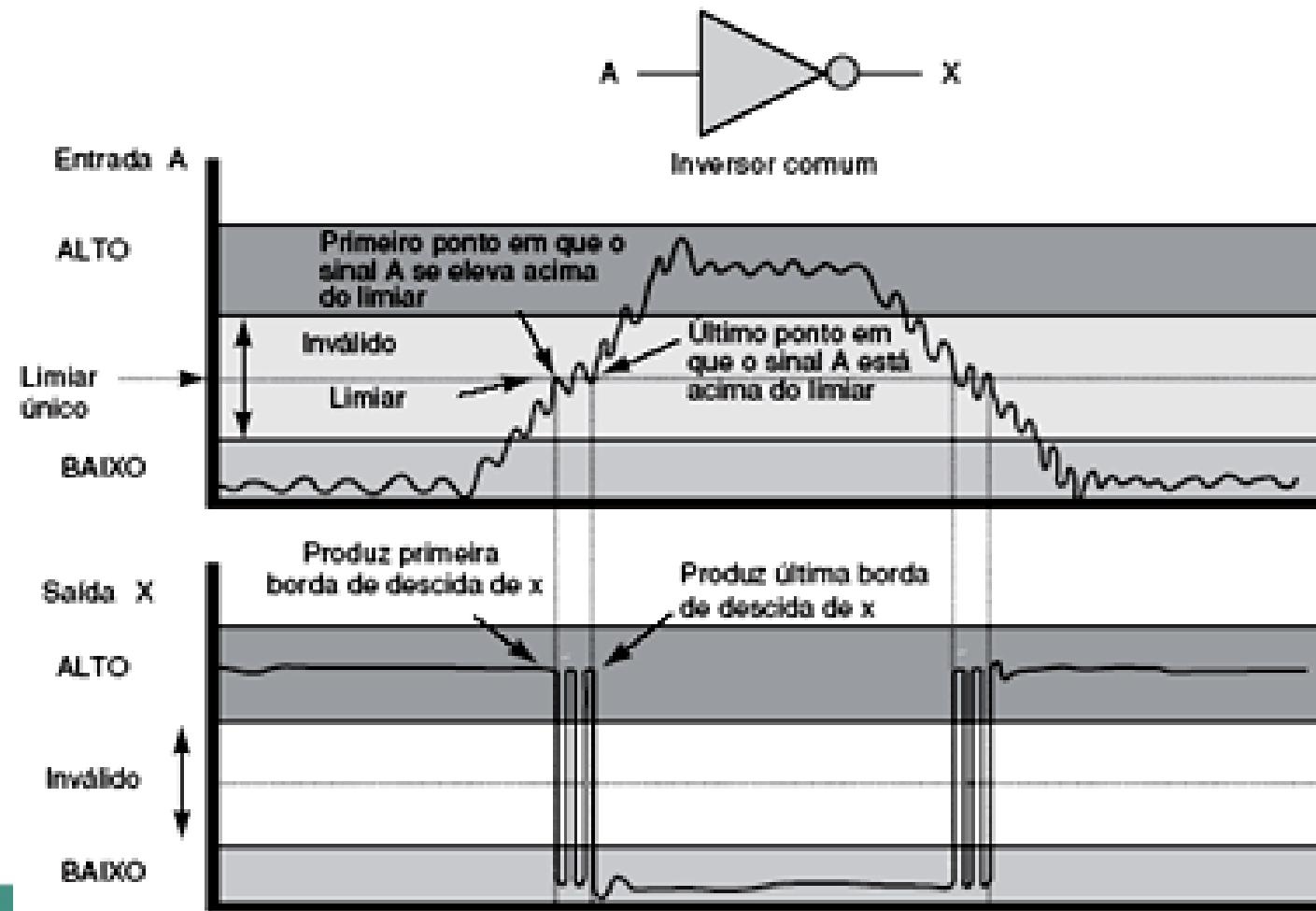


• Circuitos para habilitar/desabilitar



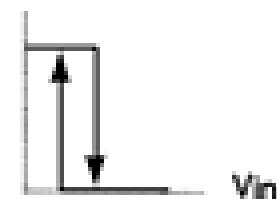
Dispositivos Schmitt-trigger

- Entradas com tempo de transição relativamente lentas
- Usado para converter sinais com transições lentas em sinais com transições rápidas que podem acionar entradas comuns de CIs





V_{out}



Entrada A

ALTO

disparo +

disparo -

BAIXO

Inversor Schmitt-trigger

V_{t+}

V_{t-}

Inválido

V_{t-}

Salida X

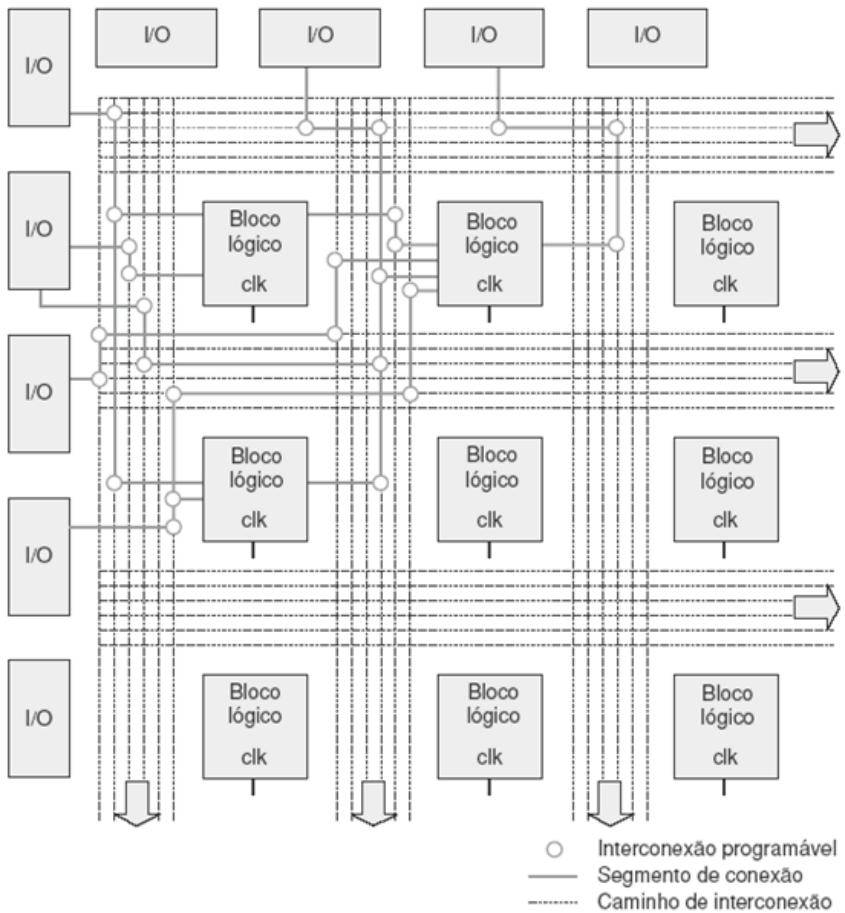
ALTO

Inválido

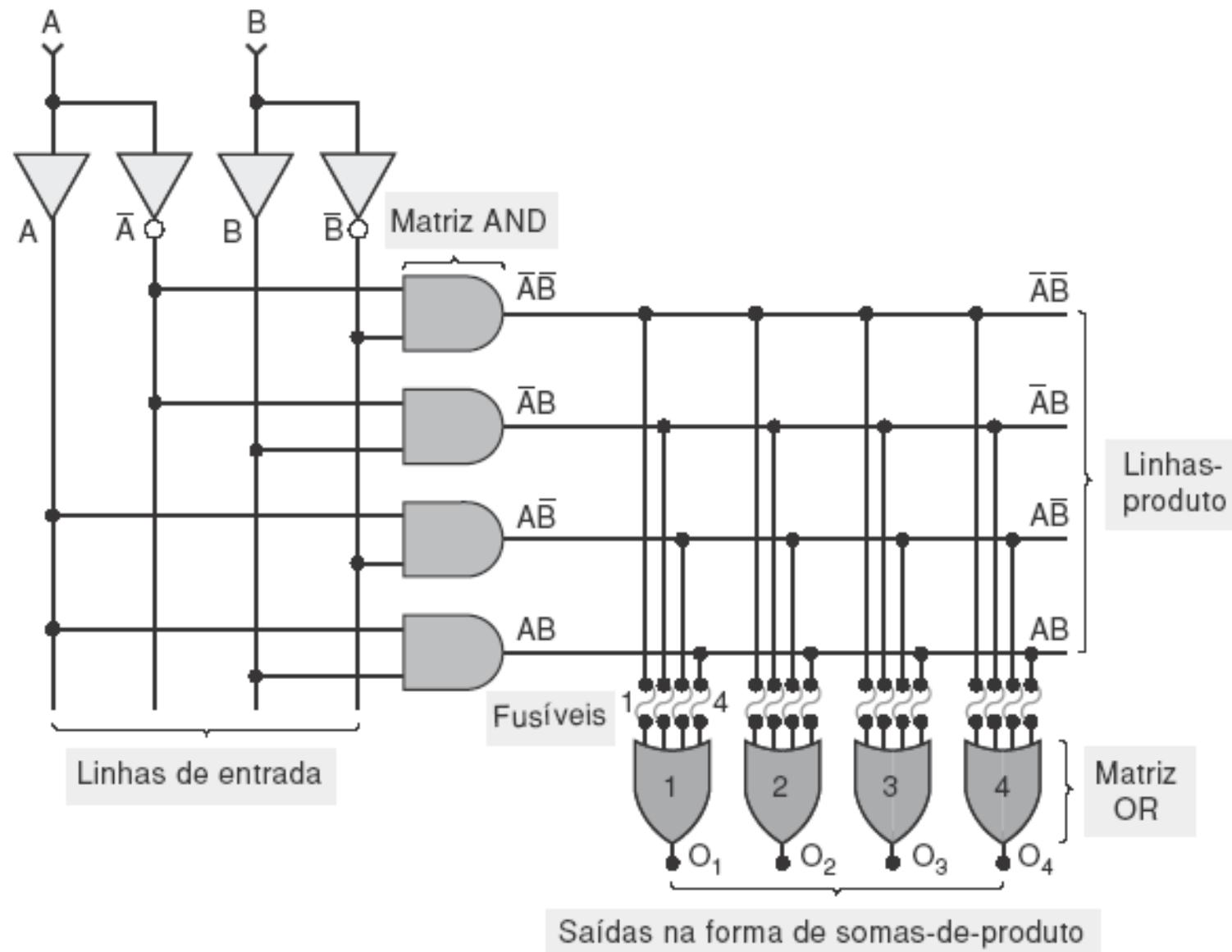
BAIXO

PLD's

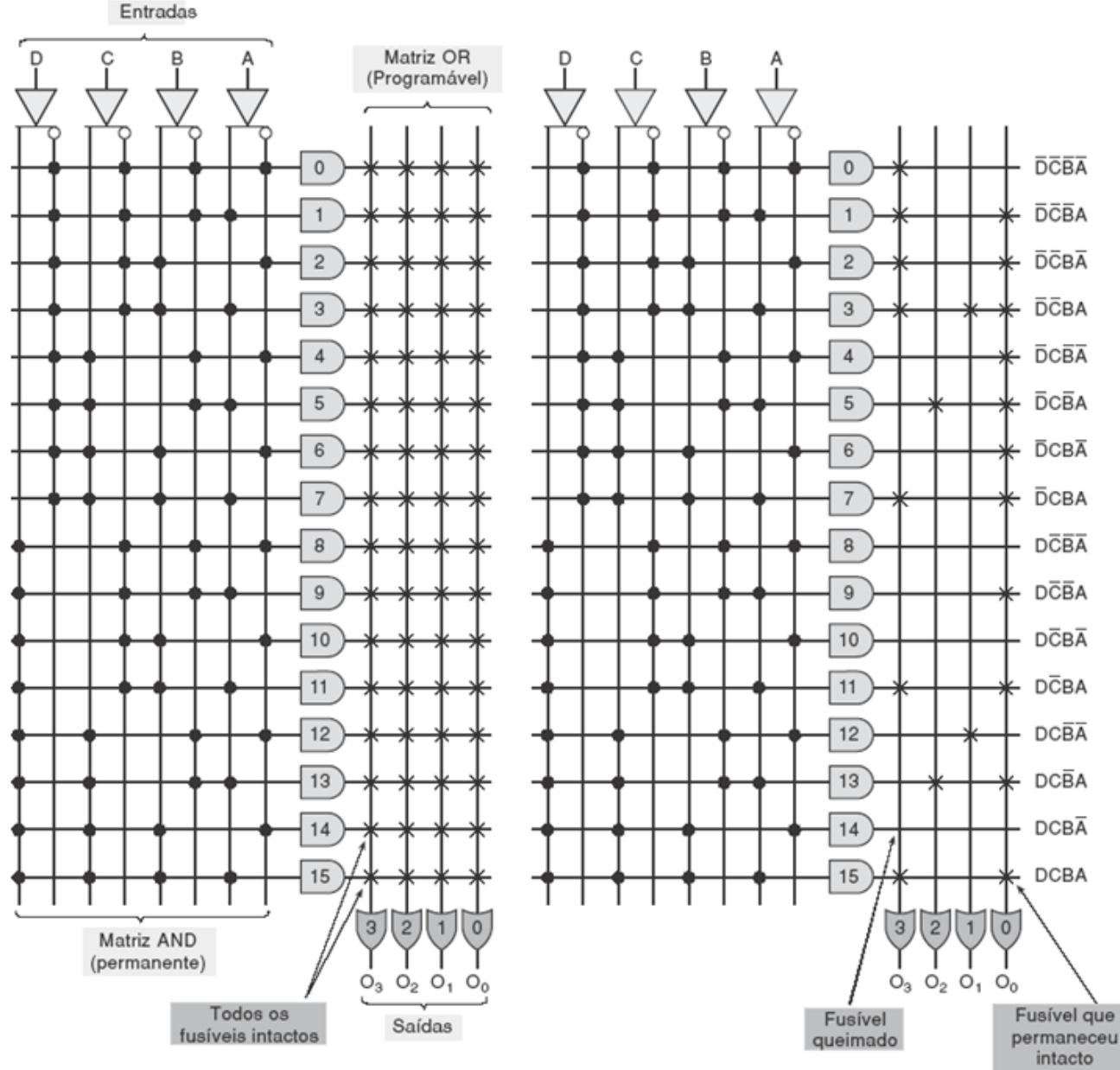
- CPLD x **FPGA** (Field-programmable gate array)
- Altera x Xilinx
- VHDL x Verilog



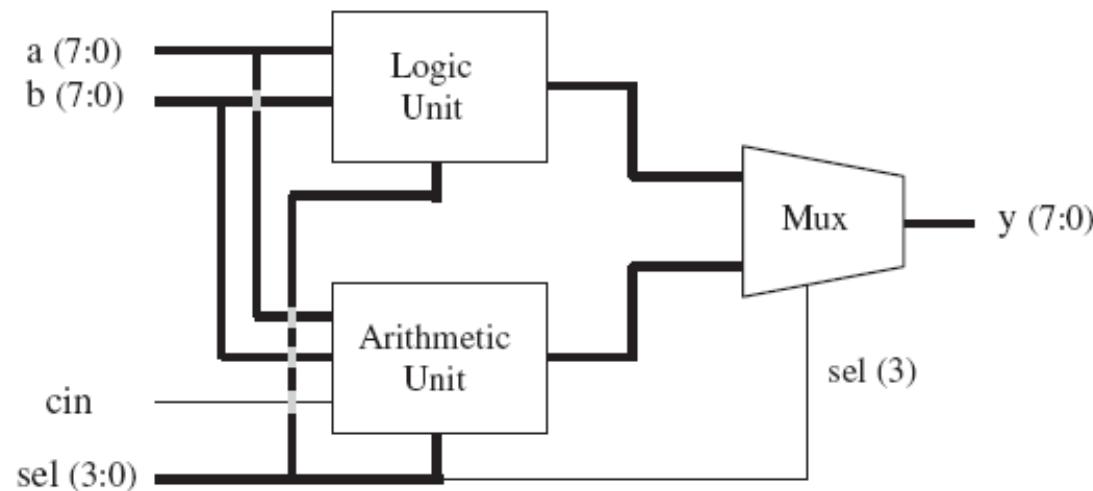
• Arquitetura interna



• Arquitetura interna



• Exemplo:



sel	Operation	Function	Unit
0000	$y \leq a$	Transfer a	Arithmetic
0001	$y \leq a+1$	Increment a	
0010	$y \leq a-1$	Decrement a	
0011	$y \leq b$	Transfer b	
0100	$y \leq b+1$	Increment b	
0101	$y \leq b-1$	Decrement b	
0110	$y \leq a+b$	Add a and b	
0111	$y \leq a+b+cin$	Add a and b with carry	
1000	$y \leq \text{NOT } a$	Complement a	Logic
1001	$y \leq \text{NOT } b$	Complement b	
1010	$y \leq a \text{ AND } b$	AND	
1011	$y \leq a \text{ OR } b$	OR	
1100	$y \leq a \text{ NAND } b$	NAND	
1101	$y \leq a \text{ NOR } b$	NOR	
1110	$y \leq a \text{ XOR } b$	XOR	
1111	$y \leq a \text{ XNOR } b$	XNOR	

ENTITY ALU IS

```
PORT (a, b: IN STD_LOGIC_VECTOR (7 DOWNTO 0);
      sel:  IN STD_LOGIC_VECTOR (3 DOWNTO 0);
      cin:  IN STD_LOGIC;
      y: OUT STD_LOGIC_VECTOR (7 DOWNTO 0));
```

END ALU;

ARCHITECTURE dataflow OF ALU IS

```
SIGNAL arith, logic: STD_LOGIC_VECTOR (7 DOWNTO 0);
```

BEGIN

```
  WITH sel(2 DOWNTO 0) SELECT
```

```
    arith <= a WHEN "000",
                a+1 WHEN "001",
                a-1 WHEN "010",
                b WHEN "011",
                b+1 WHEN "100",
                b-1 WHEN "101",
                a+b WHEN "110",
                a+b+cin WHEN OTHERS;
```

```
  WITH sel(2 DOWNTO 0) SELECT
```

```
    logic <= NOT a WHEN "000",
                NOT b WHEN "001",
                a AND b WHEN "010",
                a OR b WHEN "011",
                a NAND b WHEN "100",
                a NOR b WHEN "101",
                a XOR b WHEN "110",
                NOT (a XOR b) WHEN OTHERS;
```

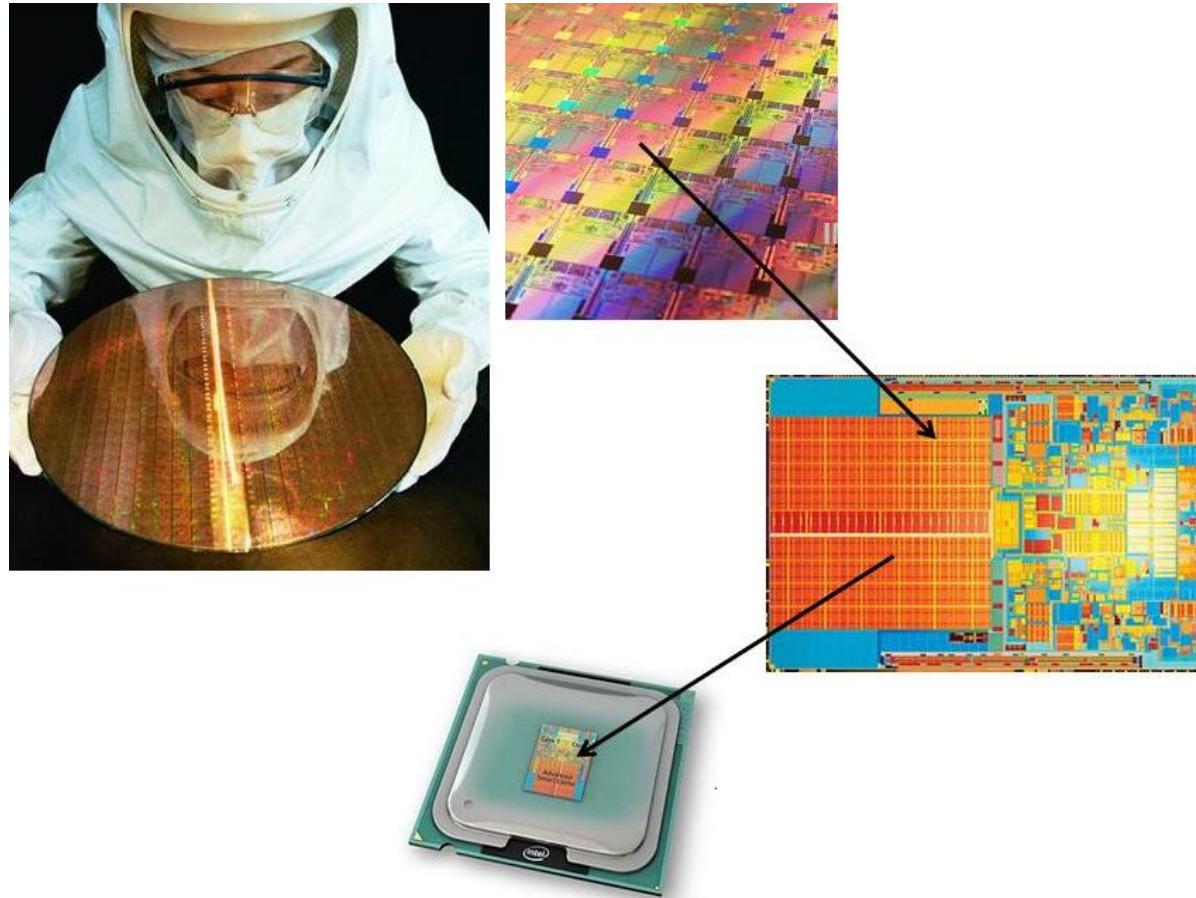
```
  WITH sel(3) SELECT
```

```
    y <= arith WHEN '0',
                logic WHEN OTHERS;
```

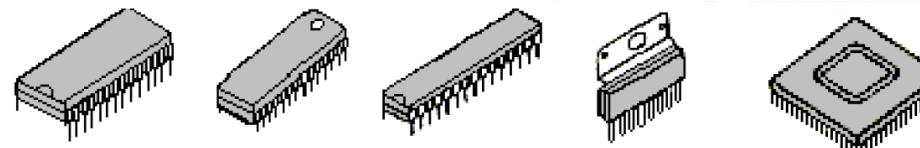
END dataflow;

Características básicas de CI's digitais

- Baseados em transistores, resistores e diodos
- Semicondutor de silício – CHIP



• Encapsulamento



DIP Dual
Inline
Package

SH-DIP
Shrink DIP

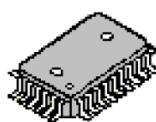
**SK-DIP,
SL-DIP**
Skinny DIP,
Slim DIP

SIP Single
Inline
Package

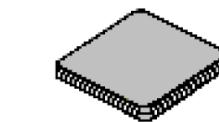
PGA Pin
Grid Array



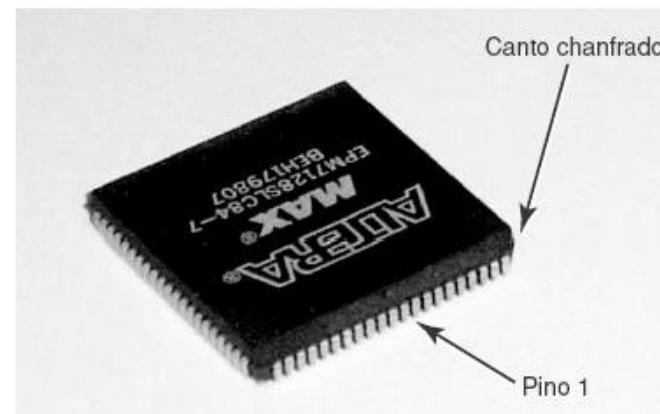
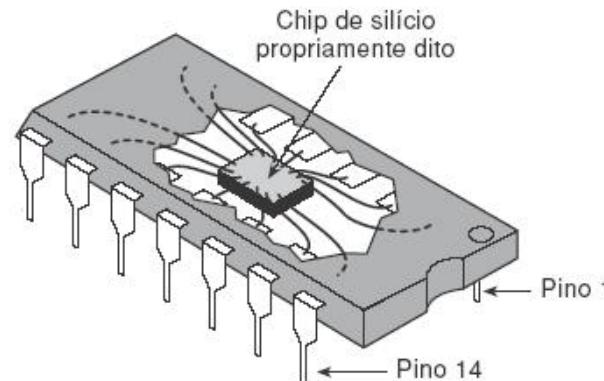
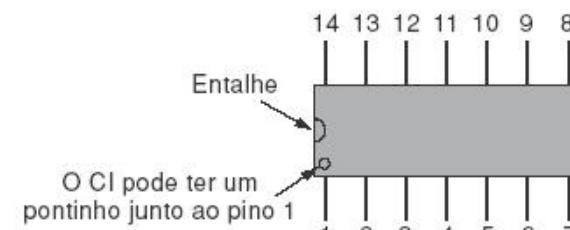
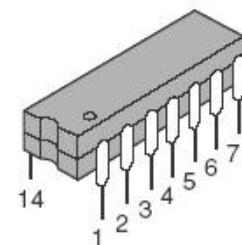
SOIC, SOP
Small Outline
Package



QFP Quad
Flat Package



LCC Leadless
Chip Carrier **PLCC** Plastic
Leadless
Chip Carrier



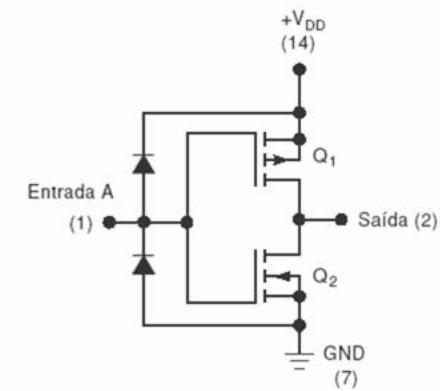
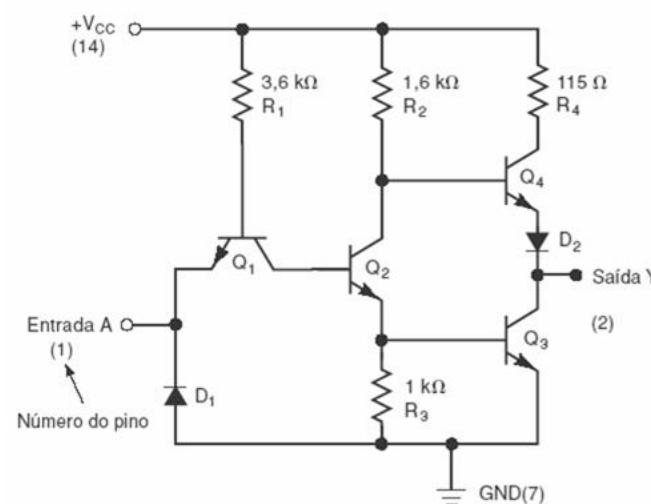
• Alimentação elétrica (V_{cc} -GND / V_{dd} - V_{ss})

• Classificação Cl's digitais

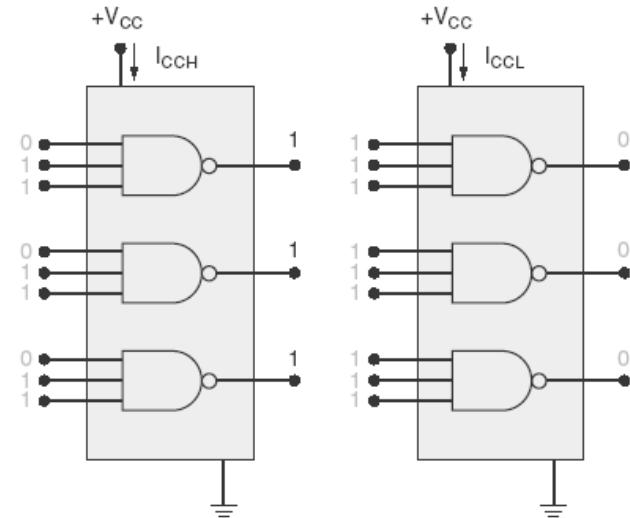
- **SSI** < 12 portas por Cl
- $12 < \text{MSI} < 99$ portas por Cl
- $100 < \text{LSI} < 9.999$ portas por Cl
- $10.000 < \text{VLSI} < 99.999$ portas por Cl
- $100.000 < \text{ULSI} < 999.999$ portas por Cl
- $1.000.000 < \text{GSI}$

• Cl's bipolares e unipolares

- TTL e CMOS

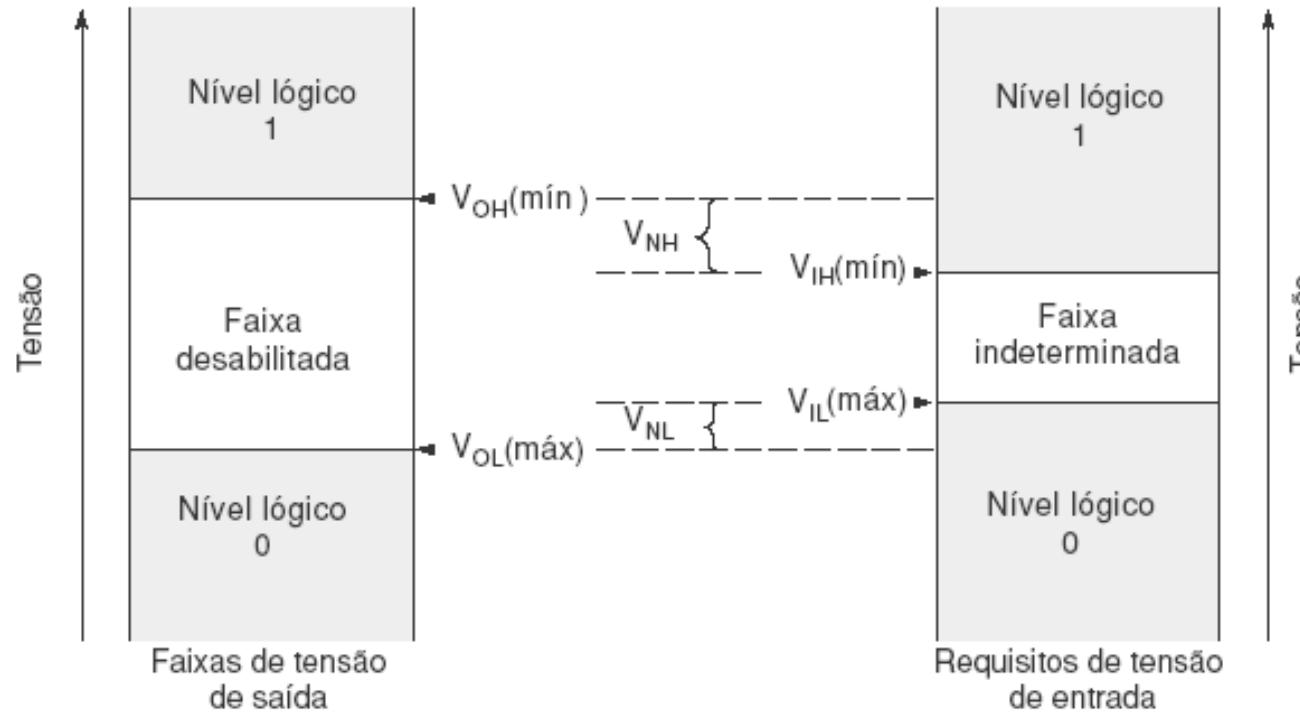


- Fator de acionamento de carga (fan-out)
- Atrasos de propagação
 - t_{PLH}
 - t_{PHL}

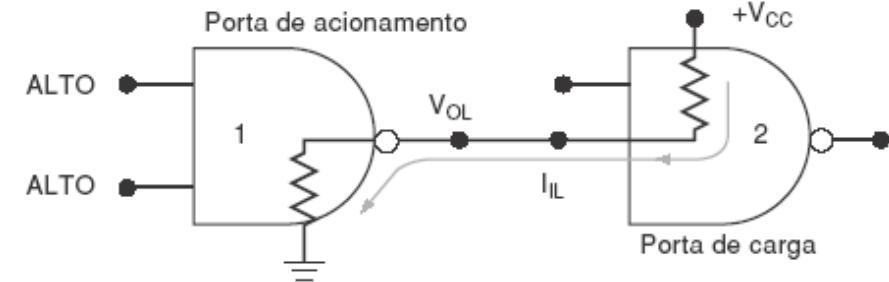
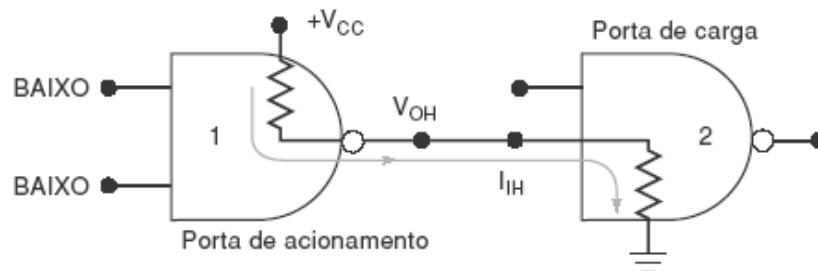


- Potência de Cl
– I_{CCL} e I_{CCH}
– $P = V_{CC} I_{CC}$
- Parâmetros de corrente e tensão (**datasheets**)
 - $V_{IH(MIN)}$
 - $V_{IL(MAX)}$
 - $V_{OH(MIN)}$
 - $V_{OL(MAX)}$
 - I_{IH}
 - I_{IL}
 - I_{OH}
 - I_{OL}

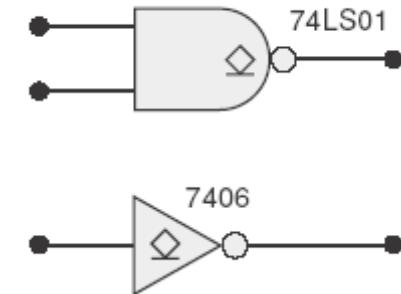
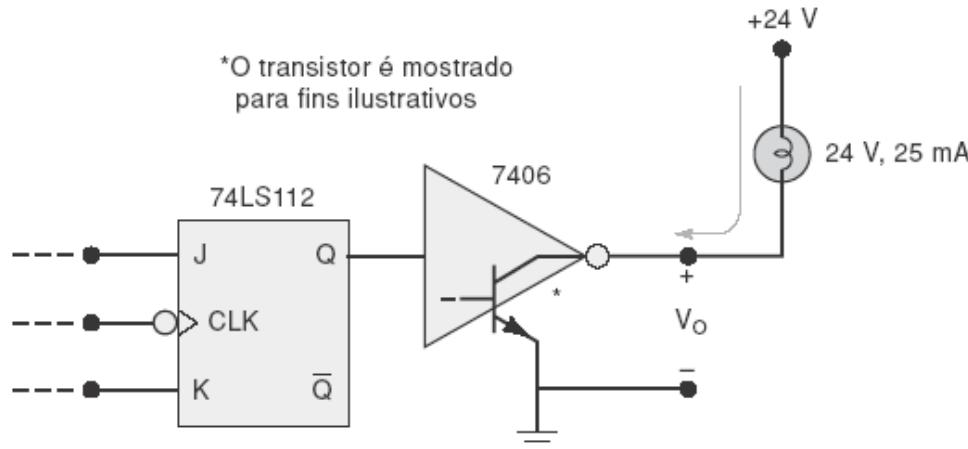
• Margem de ruído



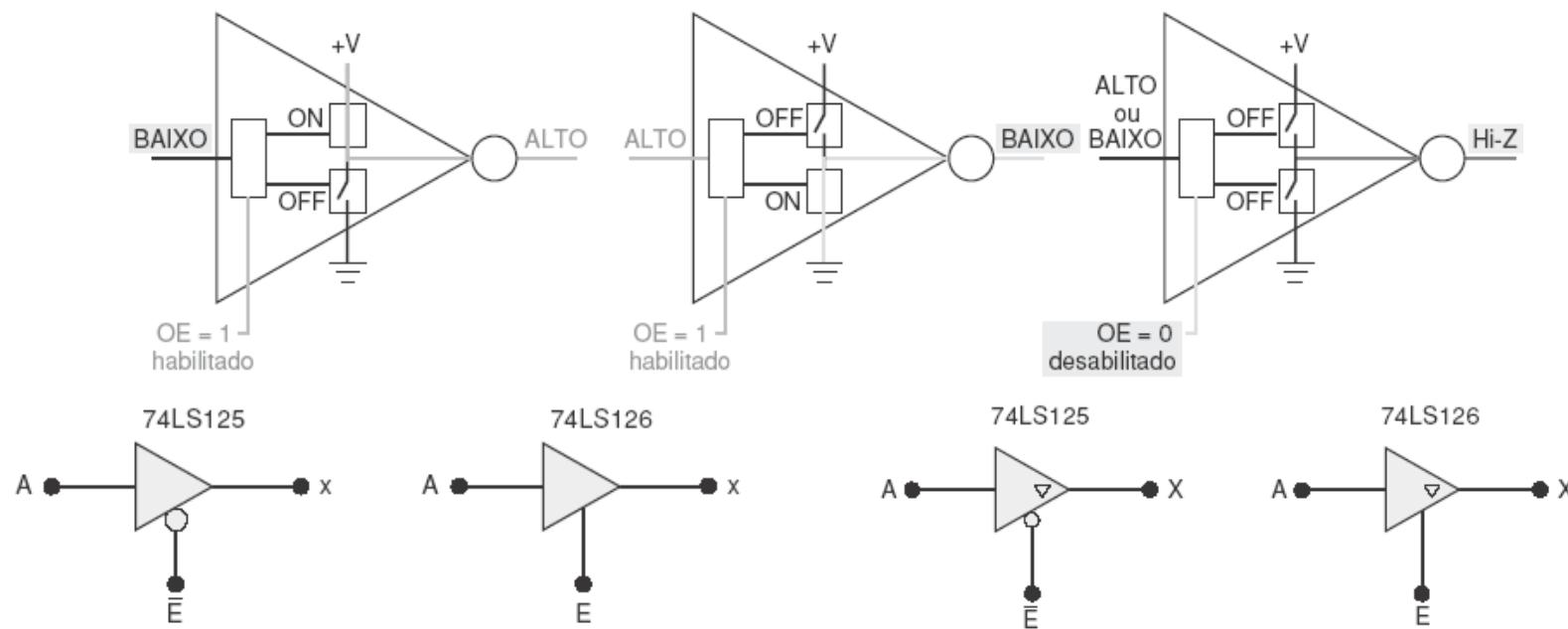
• Fluxo de corrente



• Saídas coletor/dreno aberto



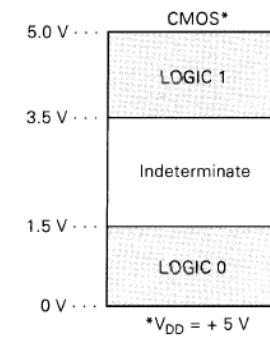
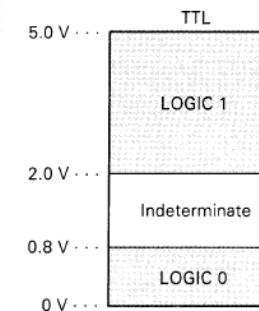
• Sáidas three-state



• Família TTL

- Identificação das famílias
- Diferenças nas características entre as famílias
 - Dissipação de potência
 - Velocidade de chaveamento

TTL Series	Prefix	Example IC
Standard TTL	74	7404 (hex INVERTER)
Schottky TTL	74S	74S04 (hex INVERTER)
Low-power Schottky TTL	74LS	74LS04 (hex INVERTER)
Advanced Schottky TTL	74AS	74AS04 (hex INVERTER)
Advanced low-power Schottky TTL	74ALS	74ALS04 (hex INVERTER)

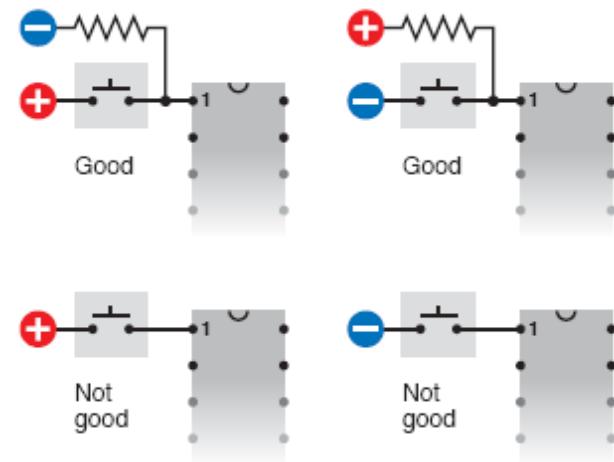


• Família CMOS

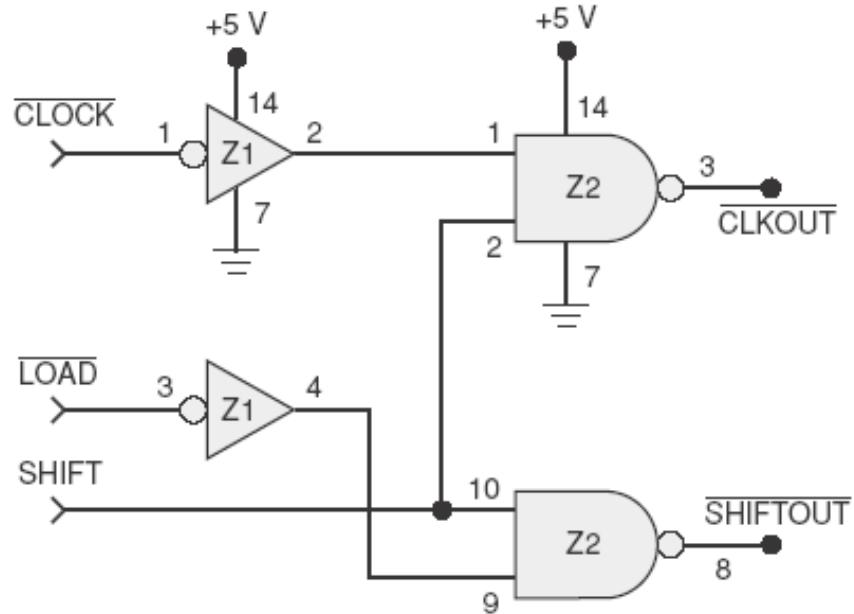
- Pinagem geralmente diferente da TTL
- Nem sempre **eletricamente compatível**
- **Impedância entrada alta**
- $V_{DD} \times V_{CC}$ (3V – 18V)

CMOS Series	Prefix	Example IC
Metal-gate CMOS	40	4001 (quad NOR gates)
Metal-gate, pin-compatible with TTL	74C	74C02 (quad NOR gates)
Silicon-gate, pin-compatible with TTL, high-speed	74HC	74HC02 (quad NOR gates)
Silicon-gate, high-speed, pin-compatible and electrically compatible with TTL	74HCT	74HCT02 (quad NOR gates)
Advanced-performance CMOS, not pin- compatible or electrically compatible with TTL	74AC	74AC02 (quad NOR)
Advanced-performance CMOS, not pin- compatible with TTL, but electrically compatible with TTL	74ACT	74ACT02 (quad NOR)

- Entradas flutuantes de CIs
 - TTL: nível lógico 0
 - CMOS: super-aquecimento



- Diagramas de conexão de circuitos lógicos



CI	Tipo
Z1	74HC04 inverter sêxtuplo
Z2	74HC00 NAND quádruplo

- Ferramentas de captura esquemática